## PATENT ABSTRACTS OF JAPAN

(11)Publication number:

05-188395

(43)Date of publication of application :30.07.1993

(51)Int.CI.

602F 1/136 602F 1/133 H01L 27/12 H01L 29/784

(21)Application number : 04-004434

004434 (71)Applicant :

TOSHIBA CORP

(22)Date of filing:

14.01.1992

(72)Inventor:

**ASAI YOSHIHIRO** 

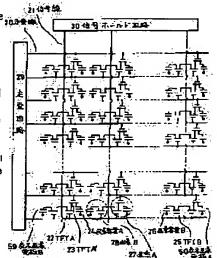
(54) LIQUID CRYSTAL DISPLAY ELEMENT

(57)Abstract:

PURPOSE: To lower the probability of disconnection and the shorting betwee scanning lines and signal lines and to improve a yield by disposing two kinds different picture elements near the respective intersecting points of the scanning lines and the signal lines and applying display signals discretely to

these picture elements.

CONSTITUTION: The picture element regions consisting of the picture elements A27 constituted of TFTs (thin-film transistors) A22, TFTs A'23 and picture element capacitors A24 and the picture elements B28 constituted of TFTs B 25 and picture element capacitors B26 are formed at the respective intersecting points of the scanning lines 20 and the signal lines 21. The individual picture element capacitors are constituted of respective display picture element electrodes 50, 59, common electrodes and liquid crystal layer clamped by these electrodes. As a result, the common possession of one pie of the scanning line or signal line with the two picture elements is made possible and, therefore, the number of wirings, such as scanning lines and signal lines, and eventually the intersecting parts of the signal lines and the scanning lines are decreased as compared with the ordinary elements.



#### **LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the

examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

## (19) 日本国特許庁 (JP)

# (12)公開特許公報 (A)

(11)特許出願公開番号

## 特開平5-188395

(43)公開日 平成5年(1993)7月30日

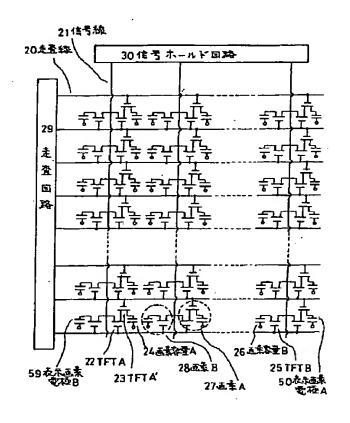
(51) Int. C1. 5 G02F 1/136 1/133 H01L 27/12 29/784	識別記号 500 550 A	庁内整理番号 9018-2K 7820-2K 8728-4M	FΙ			· 技	術表示箇所
		9056-4M	H01L 29/78		311	A	
			審	查請求	未請求	請求項の数4	(全7頁)
(21)出願番号	特願平4-4434	٠.	1	、 000003078 株式会社東芝			
(22)出願日	平成4年(1992)1月14日					幸区堀川町72番	地
		;	. (72)発明者		県横浜市	「磯子区新杉田町 事業所内	8番地 株
			(74)代理人	弁理士	則近	憲佑	
	•	,			•		
	•						
		•				,	•
		•					
							,

## (54) 【発明の名称】液晶表示素子

## (57)【要約】

【構成】 走査線と信号線の各々の交点付近に2種類の 異なる画素を配し、これらの画素に個別に表示信号を与 える。

【効果】 走査線や信号線などの配線本数を大幅に低減できるため、断線や走査線-信号線問ショートの確率を低減せしめ、歩留まりを大幅に向上させることができる。



20

30

2

## 【特許請求の範囲】

【請求項1】 複数本の信号線と走査線をマトリクス状に交差させ、これらの交点付近に薄膜トランジスタ及びこれに接続される表示画繁電極を配した画素領域を有する液晶表示装置において、前記画素領域は周期的に繰り返されて配置された複数の異なる画素より形成されると共に、前記画素の個々には個別の表示信号が書き込まれることを特徴とする液晶表示素子。

【請求項2】 前記画素領域は複数の第1の表示画素電極及び複数の第2の表示画素電極より形成されるとともに、前記信号線と前記第1の表示画素電極間に接続された第1の薄膜トランジスタと、前記信号線と前記第2の表示画素電極間に直列に接続された第2の薄膜トランジスタ及び第3の薄膜トランジスタとを有することを特徴とする請求項1記載の液晶表示素子。

【請求項3】 前記第1の薄膜トランジスタ及び第2の 薄膜トランジスタのゲートは共通の走査線に接続され、 前記第3の薄膜トランジスタのゲートは前記共通の走査 線とは異なる走査線に接続されたことを特徴とする請求 項2記載の液晶表示素子。

【請求項4】 前記2本の走査線が選択される期間と前記共通の走査線のみが選択される期間とが周期的に繰り返されることを特徴とする請求項3記載の液晶表示素子。

#### 【発明の詳細な説明】

[0001]

【産業上の利用分野】この発明は、薄膜トランジスタ (Thin Film Transistor, TFT) をスイッチ素子として表 示画素電極アレイを構成した液晶表示素子に関する。

[0002]

【従来の技術】近年、液晶を用いた表示素子は、テレビ表示やグラフィックティスプレイなどを指向した大容量で高密度のアクティブマトリクス型液晶表示素子の開発及び実用化が盛んである。この様な液晶表示素子では、クロストークのない高コントラストの表示が行えるように、各画素の駆動と制御を行う手段として半導体スイッチが用いられる。その半導体スイッチとしては、透過型表示が可能であり大面積化も容易であるなどの理由から、絶縁基板上に形成されたTFTなどが用いられている。

【0003】図6に、例えば特開昭56-162793 号公報に記載されている、このような液晶表示素子の概略断面構造を示す。絶縁基板1上にはTFT2及びTFT2に接続された透明導電膜からなる表示画素電極3が配列形成されている。一方、絶縁基板4上には、透明導電膜からなる対向電極5が全面に形成されている。また絶縁基板1と絶縁基板4との間には液晶6が挟持されており、さらにその周囲を封着剤7で封止した構造となる。

【0004】上述のTFT2は、図6に示すように、マ されるとともに、信号線と第1の表示画素電極間に接続 トリクス状に形成された走査線10と信号線11の各交 50 された第1の薄膜トランジスタと、信号線と第2の表示

点位置に配設され、TFT2のゲートは行ごとに走査線 10に接続され、TFT2のドレインは列ごとに信号線 11に接続され、ソースは表示画素電極3に接続されて いる。そして、この表示画素電極3と対向電極5及び液 晶6によって画素容量が形成されている。

【0005】また、図8は走査線10と信号線11の交差部の平面図を示し、図9はその断面図を示す。図に示すように、走査線10と信号線11とはゲート絶録膜16によって絶縁されている。

【0006】次に、この液晶表示素子の駆動方法の一例 について説明する。即ち、TFT2のゲートに走査線選 択電圧が印加されている期間 (選択期間) に、表示画素 電極3は信号線11と通じて映像信号電位と同電位に設 定され、また、ゲートに走査線非選択電圧が印加されて いる期間(保持期間)は、表示画素電極3はこの映像信 号電位に保たれる。一方、対向電極5は所定の電位に設 定されており、したがって表示画素電極3と対向電極5 との間に挾持されている液晶6には、映像信号電位と対 向電極電位の差に相当する電圧がかかる。この電圧に応 じて液晶の配列状態が変化することにより光透過率が変 化し、画像表示が行われる。また、液晶を直流駆動する と、液晶分子が電気分解されて劣化することにより寿命 が短くなるため、一般には交流駆動が用いられている。 一例を挙げると、所定の電位に設定された対向電極電位 に対して、映像信号電位を偶奇フレームで正負対称に設 定する方法が用いられている。

[0007]

【発明が解決しようとする課題】しかしながら、この種の液晶表示素子では、以下のような問題があった。製造工程中のゴミなどに起因して、走査線10と信号線11との交差部においてゲート絶縁膜16にピンホールのような絶縁不良箇所が発生すると、走査線10と信号線11が短絡不良を起こし、表示画面には線欠陥としてあらわれてしまう。あるいは、走査線10や信号線11自体が断線してしまうことも考えられ、これらの配線本数の多い大画面・高精細デバイスでは歩留まり低下の大きな要因となっている。

[0008]

【課題を解決するための手段】この発明は、上述の課題を解決するために、複数本の信号線と走査線をマトリクス状に交差させ、これらの交点付近に薄膜トランジスタ及びこれに接続される表示画素電極を配した画素領域を有する液晶表示素子において、この画素領域は周期的に繰り返されて配置された複数の異なる画素より形成されると共に、これらの画素の個々には個別の表示信号が書き込まれる液晶表示素子を用いる。

【0009】さらに具体的には、画素領域は複数の第1 の表示画素電極及び複数の第2の表示画素電極より形成 されるとともに、信号線と第1の表示画素電極間に接続 された第1の部膜トランジスタト、信号線ト第2のまっ 3

画素電極間に直列に接続された第2の薄膜トランジスタ 及び第3の薄膜トランジスタとを有し、第1の薄膜トラ ンジスタ及び第2の薄膜トランジスタのゲートは共通の 走査線に接続され、第3の薄膜トランジスタのゲートは 異なる走査線に接続されると共に、この2本の走査線が 同時に選択される期間と、共通の走査線のみが選択され る期間とが周期的に繰り返される液晶表示素子を用い る。

#### [0010]

【作用】この発明の液晶表示素子においては、異なる2本の走査線を選択した場合にのみ信号電圧が書き込まれる複数の画素と、それらのうち1本の走査線を選択した場合に信号電圧が書き込まれる複数の画素を用いて画素領域が形成され、1本の走査線又は信号線を2画素で共有することが可能となるため、走査線や信号線などの配線本数引いては信号線と走査線の交差部を従来のものよりも大幅に減少させることができる。

## [0011]

【実施例】以下、図面を参照してこの発明を詳細に説明 する。

【0012】図1はこの発明の一実施例を示す等価回路 図である。走査線20と信号線21の各交点には、TF TA 22、TFTA'23及び画素容量A 24により構成 された画素A 27と、TFTB 25及び画素容量B 26 で構成された画素B 28よりなる画素領域が形成されて いる。個々の画素容量は、それぞれの表示画素電極と共 通電極68及びこれらに挟持された液晶層70より構成 される。

【0013】また図2は、各々の画素における平面図を示す。即ち、画素Aにおいては、TFTA22のドレイン電極55は信号線21に接続され、ソース電極58はTFTA23のドレイン電極63に接続されている。また、TFTA23のソース電極60は表示画素電極A50に接続されている。TFTA22のゲート電極56は

走査線20の第n行に接続され、TFTA'23のゲート電極62は走査線20の第(n-1) 行に接続されている。

【0014】一方、画素B 28においては、TFTB 25のドレイン電極54は信号線21に接続され、ソース電極51は表示画素電極B 59に接続されている。また、ゲート電極53は走査線20の第n行に接続されている。

【0015】図3は、図2の線BB´に沿った断面図を 10 示す。絶縁基板73上には、ゲート電極53が形成され、この上にゲート絶縁膜72を介して半導体層52が 形成されている。さらに、半導体層52はオーミック層 64を介してソース電極51及びドレイン電極54の各々と接続されてTFTB25が形成されている。さらに 全面に配向膜71が積層されて、アレイ基板74が形成されている。

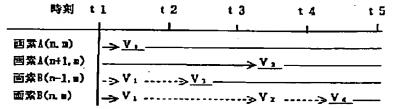
【0016】一方、絶縁基板67上には透明導電層からなる共通電極68が全面に形成され、さらにこの上に配向膜69が積層されて、対向基板66が形成されている。そしてアレイ基板74と対向基板66の間には液晶層70が挟持され、液晶表示装置が形成される。

【0017】次に、本実施例の液晶表示素子の駆動方法 と動作原理を説明する。図5は図1の部分図を示し、図 4は図5に示す各々の画素を駆動するための走査線電圧 と信号線電圧のタイミングチャート図を示す。

【0018】 走査線20には、1フレーム期間(Tf)に2回走査線選択電圧(以下、Vg,onと称する)が印加される。一方、信号線21には、中心電圧(Vsig,c)に対してフレームごとに反転する信号線電圧が印加される。また次表1は、この様な駆動方法を用いた場合の各画素の動作を示す。

[0019]

【表1】



30

注)破線は、他の画案に与えるべき信号電圧が印加されている期間を示す。

【0020】時刻  $t_1 \sim t_2$  において、走査線 200 第 (n-1) 行及び第n 行に  $V_g$ , onが印加され、TFTA (n,m) 35とTFTA (n,m) 37が同時に導通することによって画素容量A(n,m) 36に信号線電圧 V1 が書き込まれる。また、TFTB(n-1,m) 41及 VTFTB(n,m) 43が導通することによって、画素容量 B(n-1,m) 42と画素容量 B(n,m) 44のそれぞれにも同様に信号線電圧 V1 が書き込まれる。

【0021】時刻  $t2 \sim t3$  になると、走査線 200 第 (n-1) 行にのみ Vg, onが印加され、TFTB(n-1,m) 41 が導通することによって、画素容量 B(n-1,m) 42 に 書き込まれていた電圧 V, は信号線電圧 V, に 書き換えられる。一方、TFTA(n,m) 35 及びTFTB(n,m) 43 は非導通となり、画素容量 A(n,m) 36 及び画素容量 B(n,m) 44 は V, に保持されることにより、画素 A(n,m) 45 の透過率が決定される。

【0022】時刻 t 3 ~ t 4 になると、走査線 2 0 の第 n 行及び第 (n + 1) 行に Vg, onが印加され、TFTA

6

(n+1,m)38とTFTA'(n+1,m)40が同時に導通することによって、画素容量A(n+1,m)39に信号線電圧 $V_2$ が書き込まれる。また、TFTB(n,m)43が導通することによって、画素容量B(n,m)44に保持されていた $V_1$ は信号線電圧 $V_2$ に書き換えられる。一方、TFTB(n-1,m)41は非導通となって、画素容量B(n-1,m)42の電圧は $V_3$ に保持されることにより、画素B(n-1,m)の透過率が決定される。

【0024】時刻 t , で走査線20の第n行が非選択電圧 (Vg, off )になると、TFTB(n,m)43は非導通となり、画素容量B(n,m)44はV に保持されるため、画素B(n,m)48の透過率が決定される。

【0025】こうして、図5の各面素の透過率が決定される。このとき、例えば面素容量B(n,m)44については、透過率を決定する電圧V.が書き込まれる直前に他の画素の透過率を決定するための電圧V,とV,が書き込まれるが、その期間は非常に短いため、本来の表示には悪影響を与えない。これは、他の画素についても同様である。

【0026】本実施例のアクティブマトリクス型液晶表示素子においては、異なる2本の走査線を選択した場合にのみ信号電圧が書き込まれる複数の画素と、それらのうち1本の走査線を選択した場合に信号電圧が書き込まれる複数の画素を用いて画素領域が形成され、1本の信号線を2画素で共有することが可能となるため、従来の液晶表示装置の工程を大幅に変更することなく信号線本数を従来の1/2に低減させることができる。

#### [0027]

【発明の効果】本発明の液晶表示装置においては、異なる2本の走査線を選択した場合にのみ信号電圧が書き込まれる複数の画素と、それらのうち1本の走査線を選択

した場合に信号電圧が書き込まれる複数の画素を用いて 画素領域が形成され、1本の走査線又は信号線を2画素 で共有することが可能となるため、配線本数を従来のも のよりも大幅に低減させることができ、ひいては走査線 と信号線との交差部も大幅に低減させることができる。 したがって、配線本数の多い大画面・高精細デバイスで 問題となる信号線断線や信号線・走査線間ショートの確 率を低減させて、歩留まりを大幅に向上させることがで きる。

#### 0 【図面の簡単な説明】

【図1】本発明の液晶表示素子の一実施例を示す等価回 路図である。

【図2】図1の液晶表示素子の二画素を示す平面図である。

【図3】図2の線BB、に沿った断面図である。

【図4】本発明の液晶表示素子の駆動波形を示すタイミングチャート図である。

【図5】図1の液晶表示素子の一部分を示す等価回路図である。

【図6】従来の液晶表示素子を示す断面図である。

【図7】図6の液晶表示素子の一画素の等価回路図である。

【図8】図6の液晶表示素子の信号線と走査線の交差部 を示す平面図である。

【図9】図8の線AA´に沿った断面図である。

#### 【符号の説明】

20…走査線

2 1 …信号線

2 2 ··· T F T A

30 23 ··· T F TA'

2 4…画素容型A

25 ··· T F TB

2 6…画素容量B

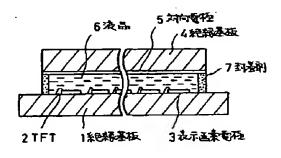
27…画素A

28…画素B

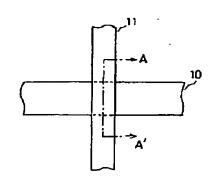
50…表示画素電極A

59…表示画素電極B

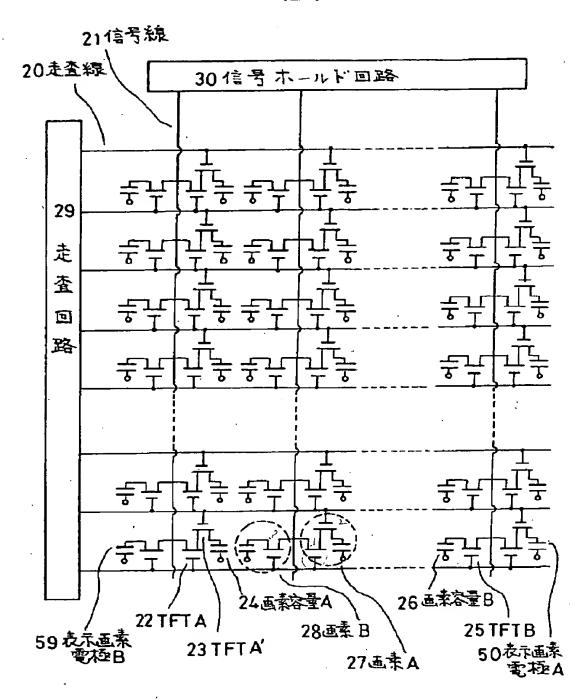
[図6]



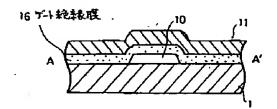




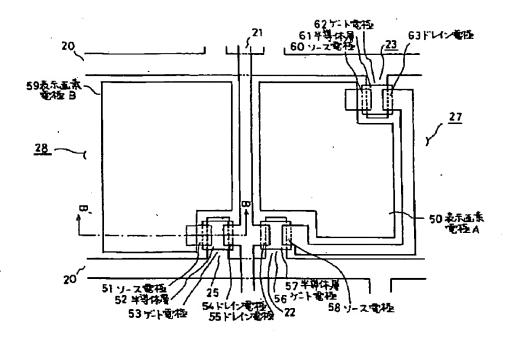
【図1】



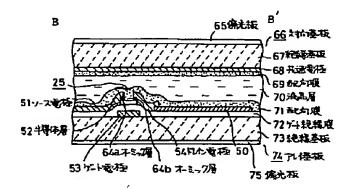
【図9】



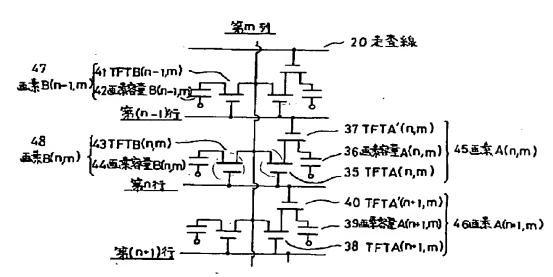
【図2】



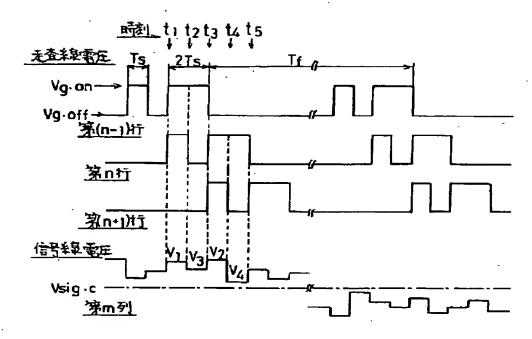
【図3】



【図5】



【図4】



【図7】

